

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

8902643

Basic Patent (No,Kind,Date): EP 337457 A2 891018 <No. of Patents: 003>

**MEMORY DEVICE HAVING A PLURALITY OF MEMORY CELL ARRAYS
WITH DIFFERENT**

ORGANIZATION (English; French; German)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO (JP)

Author (Inventor): NOGAMI KAZUTAKA C O INTELLECTU

Designated States : (National) DE; FR; GB

IPC: *G11C-008/00;

Derwent WPI Acc No: G 89-302219

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
EP 337457	A2	891018	EP 89106630	A	890413 (BASIC)
EP 337457	A3	911030	EP 89106630	A	890413
JP 1263992	A2	891020	JP 8891083	A	880413

Priority Data (No,Kind,Date):

JP **8891083** A 880413

대한민국특허청 (KOR)

⑤Int. Cl.⁵ H 01 L 27/00 ⑩공 개 특 허 공 보 (A) 제 653 호

⑪공개일자 서기 1990. 11. 15 ⑪공개번호 90-17171
 ⑫출원일자 서기 1989. 4. 13 ⑫출원번호 89-4891
 ⑬우선권주장 ⑭1988. 4. 13 ⑮일본 (JP) 심사청구: 없음
 ⑯63-91083

⑯발 명 자 노가미 가즈다카
 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지
 가부시카가이샤 도시바 종합연구소내

⑰출 원 인 가부시카가이샤 도시바 대표자 아오이 죠이치
 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지

⑱대리인 변리사 김 윤 배 (전 2면)

⑱반도체집적회로

⑲특허청구의 범위

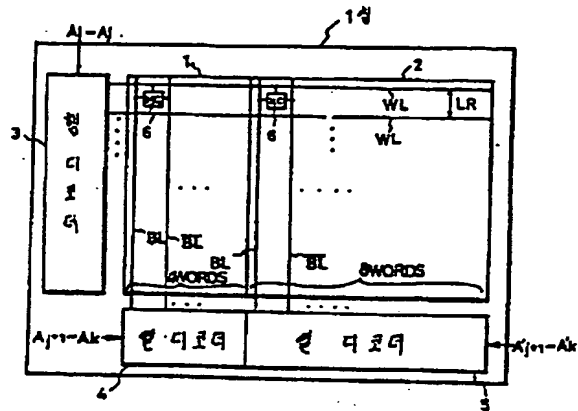
1. 행과 열로 이루어진 매트릭스 형태로 배치된 복수의 메모리셀(6)로 구성되어, 정보를 기억하도록 되어있는 제1메모리셀 어레이(1)와 행과 열로 이루어진 매트릭스 형태로 배치된 복수의 메모리셀(6)로 구성되고, 상기 제1메모리셀 어레이(1)와 동일한 행(行) 수를 갖는 반면 상기 제1메모리셀 어레이(1)와는 달리 구성되며, 상기 제1메모리셀 어레이(1)와 행어드레스(A₁~A_n)를 공유하는 제2메모리셀 어레이(2) 상기 제1메모리셀 어레이(1)와 제2메모리셀 어레이(2)와 대응되는 행의 메모리셀(6)들에 공통으로 접속되며, 그 전압이 활성화레벨로 될 때에 접속된 메모리셀(6)들을 선택하는 복수의 워드선(WL) 상기 복수의 워드선(WL)에 접속되어 있으면서 상기 행어드레스(A₁~A_n)를 디코딩하여, 상기 행어드레스(A₁~A_n)에 대응되는 워드선(WL)의 전압을 활성화레벨로 만드는 디코더(3) 상기 제1메모리셀 어레이(1)의 대응되는 열의 메모리셀(6)들에 접속된 복수의 제1비트선(BL, \overline{BL}), 상기 제2메모리셀 어레이(2)의 대응되는 열의 메모리셀(6)들에 접속된 복수의 제2비트선(BL, \overline{BL}), 상기 제1비트선(BL, \overline{BL})에 접속되어 제1열어드레스(A_{1,1}~A_{1,n})를 공급받으며, 상기 행어드레스(A₁~A_n) 및 상기 제1열어드레스(A_{1,1}~A_{1,n})에 의해 지정된 메모리셀(6)들로 상기 제1비트선(BL, \overline{BL})을 매개하여 데이터를 기입하고 지정된 메모리셀(6)들로부터 상기 제1비트선(BL, \overline{BL})을 매개하여 데이터를 독출하는 제1열디코더(4) 상기 제2비트선(BL)에 접속되어 제2열어드레스(A_{2,1}~A_{2,n})를 공급받아서 상기 행어드레스(A₁~A_n) 및 제2열어드레스(A_{2,1}~A_{2,n})에 의해 지정된 메모리셀(6)들로부터 상기 제2비트선(BL, \overline{BL})을 매개하여 데이터를 기입하고, 지정된 메모리셀(6)들로부터 상기 제2비트선(BL, \overline{BL})을 매개하여 데이터를 독출하는 제2열디코더(5)를 포함하여 이루어진 메모리회로를 구비하여 구성된 것을 특징으로 하는 1칩 반도체집적회로.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

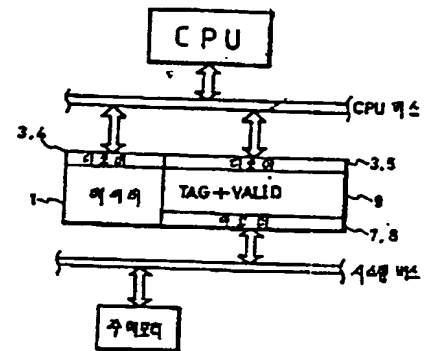
도면의 간단한 설명

제3도는 병렬입출력비트수가 자기 다른 2개의 메모리셀 어레이에 본 발명을 응용한 경우의 1실시예를 나타낸 블록도, 제4도는 자기 다른 구성의 메모리셀로 구성된 2개의 메모리셀 어레이에 본 발명을 응용한 경우의 1실시예를 나타낸 블록도, 제5도는 제4도의 실시예에 따른 메모리장치를 사용한 시스템의 일례를 나타낸 블록도.

제 3 도



제 5 도



제 4 도

